

(51) Int.Cl.⁶

識別記号

F 1

H 0 3 B 28/00

H 0 3 B 28/00

B

H 0 3 K 4/02

H 0 3 K 4/02

C

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平9-333792

(22) 出願日 平成9年(1997)12月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 富澤 秀和

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

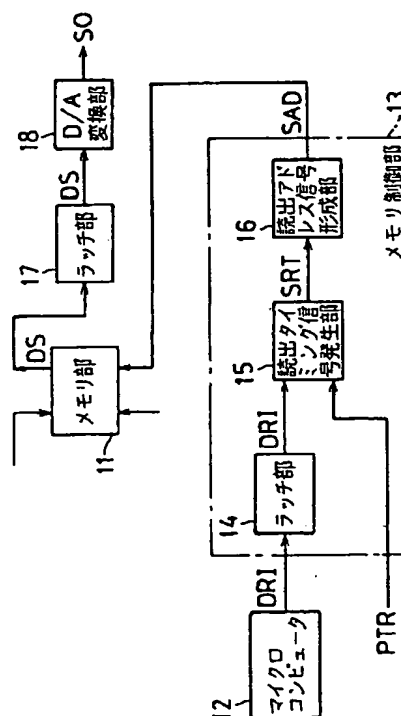
(74) 代理人 弁理士 神原 貞昭

(54) 【発明の名称】 信号発生回路

(57) 【要約】

【課題】 メモリ手段からそれに格納されたデータを所定の時間間隔をもって順次読み出し、読み出されたデータにD/A変換を施して信号波形を得るにあたり、得られる信号波形の歪みが効果的に抑制されることになるものとする。

【解決手段】 信号データを格納したメモリ部11と、データ読出時間間隔をあらわす時間間隔データを保持するラッチ部14と、ラッチ部14からの時間間隔データに応じた読出タイミング信号を発生するとともに、読出タイミング信号の周期のデータ読出時間間隔との差についての累計を行って、累計の結果がクロックパルス信号の1周期を超えると、読出タイミング信号の周期をクロックパルス信号の1周期分だけ長くする読出タイミング信号発生部15と、読出タイミング信号に応じてメモリ部11から信号データを読み出す読出アドレス信号形成部16と、メモリ部11から読み出される信号データにD/A変換を施し、形成されるべき信号を得るD/A変換部18とを備える。



【特許請求の範囲】

【請求項 1】 形成されるべき信号の波形に関する信号データを格納したメモリ手段と、

上記形成されるべき信号の周期あたりのデータ数に応じて設定されるデータ読出時間間隔をあらわす時間間隔データを保持するデータ保持手段と、

上記形成されるべき信号と非同期な関係にあるクロックパルス信号に応じて動作し、上記データ保持手段から得られる時間間隔データに応じた読出タイミング信号を発生するとともに、該読出タイミング信号の周期の上記データ読出時間間隔との差についての累計を行って、該累計の結果が上記クロックパルス信号の 1 周期を超えると、上記読出タイミング信号の周期を上記クロックパルス信号の 1 周期分だけ長くするタイミング信号発生手段と、

該タイミング信号発生手段から得られる読出タイミング信号毎に読出アドレス信号を上記メモリ手段に供給し、上記メモリ手段から上記信号データを読み出すデータ読出手段と、

該データ読出手段により上記メモリ手段から読み出される信号データにデジタル／アナログ変換を施して、上記形成されるべき信号を得るデジタル／アナログ変換手段と、を備えて構成される信号発生回路。

【請求項 2】 タイミング信号発生手段が、形成されるべき信号の周期内に複数の読出タイミング信号を発生することを特徴とする請求項 1 記載の信号発生回路。

【請求項 3】 形成されるべき信号の波形に関する信号データを格納した第 1 のメモリ手段と、

上記形成されるべき信号の周期あたりのデータ数に応じて求められた、上記形成されるべき信号の周期内における全データ読出時間間隔をあらわす時間間隔データを格納した第 2 のメモリ手段と、

該第 2 のメモリ手段から読み出される各時間間隔データに応じたカウント動作を行って、該カウント動作毎に読出タイミング信号を発生するタイミング信号発生手段と、

該タイミング信号発生手段から得られる読出タイミング信号毎に読出アドレス信号を上記第 1 のメモリ手段に供給し、上記第 1 のメモリ手段から上記信号データを読み出すとともに、上記第 2 のメモリ手段から上記時間間隔データを読み出すデータ読出手段と、

該データ読出手段によって上記第 1 のメモリ手段から読み出される信号データにデジタル／アナログ変換を施して上記形成されるべき信号を得るデジタル／アナログ変換手段と、を備えて構成される信号発生回路。

【請求項 4】 タイミング信号発生手段が、形成されるべき信号の周波数に非同期な関係にある周波数を有するクロックパルス信号に応じて動作することを特徴とする請求項 3 記載の信号発生回路。

【請求項 5】 形成されるべき信号の各周期内においてレ

ベル増減が等しくなるようになす時間軸分割がなされて定められる信号タイミング間の時間間隔をあらわす時間間隔データを格納したメモリ手段と、

該メモリ手段から読み出される時間間隔データに応じた第 1 のタイミング信号及び第 2 のタイミング信号を発生するタイミング信号発生手段と、

該タイミング信号発生手段から得られる第 1 のタイミング信号毎に読出アドレス信号を上記メモリ手段に供給し、上記メモリ手段から上記時間間隔データを読み出すデータ読出手段と、

上記タイミング信号発生手段から得られる第 2 のタイミング信号毎に加算もしくは減算を行って信号データを得る信号データ形成手段と、

該信号データ形成手段から得られる信号データにデジタル／アナログ変換を施して上記形成されるべき信号を得るデジタル／アナログ変換手段と、を備えて構成される信号発生回路。

【請求項 6】 タイミング信号発生手段が、形成されるべき信号と非同期な関係にあるクロックパルス信号に応じて動作することを特徴とする請求項 5 記載の信号発生回路。

【請求項 7】 信号データ形成手段が、一定値ずつの加算もしくは減算を行って信号データを得ることを特徴とする請求項 5 または 6 記載の信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願の特許請求の範囲に記載された発明は、所定の信号に関するデータを格納したメモリ手段から、所定のタイミングをもってデータを読み出し、読み出されたデータに基づいて、所定の信号の波形に対応する波形を有した信号を得る信号発生回路に関する。

【0002】

【従来の技術】 映像信号があらわす画像を表示する画像表示モニタ装置が、情報伝達、監視等々の様々な目的のもとに広く利用されている。このような画像表示モニタ装置にあつては、それにより表示される画像が歪みを生じ易く、表示される画像が歪みを生じるときには、画像をあらわす映像信号とは別に、画歪み補正信号が供給され、それにより表示される画像の歪みが補正される。

【0003】 こうした画歪み補正信号を形成する補正信号形成装置等の分野においては、形成されるべき信号、例えば、画歪み補正信号の波形に関する信号データをメモリ手段に格納して、その信号データを形成されるべき信号の周期あたりのデータ数に応じて設定される時間間隔をもって順次メモリ手段から読み出し、読み出された信号データにデジタル／アナログ変換（D/A 変換）を施すことにより、形成されるべき信号を発生する信号発生回路を用いることが提案されている。斯かる信号発生回路は、メモリ手段から信号データを読み出すための

タイミング信号、読出アドレス信号等を形成する部分を構成するデジタル回路を含むものとされる。デジタル回路は、所定の周波数を有したクロックパルス信号に応じて動作する。

【0004】上述の如くの信号発生回路に含まれるデジタル回路において行われるメモリ手段からの信号データの読出しは、形成されるべき信号の各周期内において等時間間隔をもって行われることが通常好ましい。従って、メモリ手段からの信号データの読出しに際してのデータ読出時間間隔は、形成されるべき信号の周期時間を、メモリ手段に格納された、形成されるべき信号の1周期あたりの信号データ数から1を減じた数で除して得られるものとして設定される。

【0005】例えば、形成されるべき信号の周波数 f_x が 31 kHz であり、メモリ手段に格納された1周期あたりの信号データ数が33個であるとする、形成されるべき信号の周期 T_x は $1/f_x = 32.258\mu\text{s}$ であり、従って、データ読出時間間隔は、周期 T_x を32分割することにより、 $T_x/32 = 32.258/32\mu\text{s}$ として設定される。

【0006】

【発明が解決しようとする課題】上述の信号発生回路においてメモリ手段からの信号データの読出しに関与するデジタル回路は、固有のクロックパルス信号に応じて動作する。そして、斯かるクロックパルス信号は、メモリ手段に格納された信号データに関わる形成されるべき信号と同期する関係におかれる保証はなく、多くの場合、メモリ手段に格納された信号データに関わる形成されるべき信号とは非同期の関係にある。

【0007】メモリ手段からの信号データの読出しに関与するデジタル回路におけるクロックパルス信号が、メモリ手段に格納された信号データに関わる形成されるべき信号と非同期の関係にあると、前述の如くにして、形成されるべき信号の各周期内において等時間間隔をもってメモリ手段からの信号データの読出しを行うべく設定されるデータ読出時間間隔と、実際のデータ読出時間間隔との間に、ずれが生じることになる。

【0008】例えば、メモリ手段からの信号データの読出しに関与するデジタル回路におけるクロックパルス信号の周波数 f_k が 25 MHz であるとする、その周期 T_k は $1/f_k = 40\text{ ns}$ であるので、上述のデータ読出時間間隔、即ち、 $T_x/32 = 32.258/32\mu\text{s}$ は、クロックパルス信号についての $(32.258 \times 10^3)/(32 \times 40) = 25.201$ 周期にあたる。

【0009】しかしながら、周波数を 25 MHz とするクロックパルス信号に応じて動作するデジタル回路においては、 25.201 周期という端数を含む周期に対応するタイミングはとれないので、例えば、実際のデータ読出時間間隔は25周期時間とされることになり、それゆえ、実際のデータ読出時間間隔は、設定されたデー

タ読出時間間隔に対して、クロックパルス信号の 0.201 周期時間 $= 8.04\text{ ns}$ の“ずれ”を生じたものとなる。

【0010】設定されたデータ読出時間間隔に対しての“ずれ”を生じたデータ読出時間間隔（等時間間隔）をもって、形成されるべき信号の各周期内におけるメモリ手段からの信号データの読出しが行われると、形成されるべき信号の各周期内において読み出される各信号データの読出タイミングは、設定されたデータ読出時間間隔に従うタイミングとの“ずれ”が次第に増大していくことになる。そして、斯かる“ずれ”は、形成されるべき信号の各周期内において最後に読み出される信号データについては比較的大となってしまう虞がある。例えば、上述の場合、形成されるべき信号の各周期内において最後に読み出される信号データの読出しタイミングの“ずれ”は、クロックパルス信号の 0.201 周期時間 $\times 32 = 6.432$ 周期時間 $= 257.28\text{ ns}$ となる。

【0011】このようなメモリ手段からの信号データの読出しにあたっての読出タイミングの“ずれ”は、メモリ手段から読み出された信号データにD/A変換が施されて得られる形成されるべき信号の波形に歪みをもたらすことになり、読出タイミングの“ずれ”が比較的大とされるときには、メモリ手段から読み出された信号データにD/A変換が施されて得られる形成されるべき信号の波形歪みが、無視できないものになってしまう。

【0012】斯かる点に鑑み、本願の特許請求の範囲における請求項1から請求項7のいずれかに記載された発明は、形成されるべき信号に関するデータを格納したメモリ手段から、デジタル回路により、格納されたデータを、形成されるべき信号の周期あたりのデータ数に応じて設定される時間間隔をもって順次読み出し、読み出されたデータもしくはそれに応じて得られるデータにD/A変換を施して、形成されるべき信号を得るにあたり、デジタル回路が、形成されるべき信号と非同期の関係にあるクロックパルス信号に応じて動作するものにおいても、メモリ手段から読み出されたデータもしくはそれに応じて得られるデータにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制されることになる信号発生回路を提供する。

【0013】

【課題を解決するための手段】本願の特許請求の範囲における請求項1または請求項2に記載された発明に係る信号発生回路は、形成されるべき信号の波形に関する信号データを格納したメモリ手段と、形成されるべき信号の周期あたりのデータ数に応じて設定されるデータ読出時間間隔をあらわす時間間隔データを保持するデータ保持手段と、形成されるべき信号と非同期な関係にあるクロックパルス信号に応じて動作し、データ保持手段から得られる時間間隔データに応じた読出タイミング信号を発生するとともに、読出タイミング信号の周期のデータ

読出時間間隔との差についての累計を行って、累計の結果がクロックパルス信号の1周期を超えると、読出タイミング信号の周期をクロックパルス信号の1周期分だけ長くするタイミング信号発生手段と、タイミング信号発生手段から得られる読出タイミング信号毎に読出アドレス信号をメモリ手段に供給し、メモリ手段から信号データを読み出すデータ読出手段と、データ読出手段によりメモリ手段から読み出される信号データにD/A変換を施して、形成されるべき信号を得るD/A変換手段とを備えて構成される。

【0014】また、本願の特許請求の範囲における請求項3または請求項4に記載された発明に係る信号発生回路は、形成されるべき信号の波形に関する信号データを格納した第1のメモリ手段と、形成されるべき信号の周期あたりのデータ数に応じて求められた、形成されるべき信号の周期内における全データ読出時間間隔をあらわす時間間隔データを格納した第2のメモリ手段と、第2のメモリ手段から読み出される各時間間隔データに応じたカウント動作を行って、そのカウント動作毎に読出タイミング信号を発生するタイミング信号発生手段と、タイミング信号発生手段から得られる読出タイミング信号毎に読出アドレス信号を第1のメモリ手段に供給し、第1のメモリ手段から信号データを読み出すとともに、第2のメモリ手段から時間間隔データを読み出すデータ読出手段と、データ読出手段によって第1のメモリ手段から読み出される信号データにD/A変換を施して形成されるべき信号を得るD/A変換手段とを備えて構成される。

【0015】さらに、本願の特許請求の範囲における請求項5から請求項7までのいずれかに記載された発明に係る信号発生回路は、形成されるべき信号の各周期内においてレベル増減が等しくなるようになす時間軸分割がなされて定められる信号タイミング間の時間間隔をあらわす時間間隔データを格納したメモリ手段と、メモリ手段から読み出される時間間隔データに応じた第1のタイミング信号及び第2のタイミング信号を発生するタイミング信号発生手段と、タイミング信号発生手段から得られる第1のタイミング信号毎に読出アドレス信号をメモリ手段に供給し、メモリ手段から時間間隔データを読み出すデータ読出手段と、タイミング信号発生手段から得られる第2のタイミング信号毎に加算もしくは減算を行って信号データを得る信号データ形成手段と、信号データ形成手段から得られる信号データにD/A変換を施して形成されるべき信号を得るD/A変換手段とを備えて構成される。

【0016】上述の如くに構成される本願の特許請求の範囲における請求項1または請求項2に記載された発明に係る信号発生回路にあっては、メモリ手段からの信号データの読出タイミングを定めることになる読出タイミング信号を発生するタイミング信号発生手段が、形成さ

れるべき信号と非同期な関係にあるクロックパルス信号に応じて動作するもとにおいて、データ保持手段から得られる時間間隔データに応じて発生する読出タイミング信号の周期の、時間間隔データがあらわすデータ読出時間間隔との差についての累計を行って、累計の結果がクロックパルス信号の1周期を超えると、読出タイミング信号の周期をクロックパルス信号の1周期分だけ長くする。それにより、メモリ手段からの信号データの読出タイミングの、時間間隔データがあらわすデータ読出時間間隔に基づく読出タイミングに対する“ずれ”の増大が抑制されて、メモリ手段から読み出された信号データにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制される。

【0017】また、本願の特許請求の範囲における請求項3または請求項4に記載された発明に係る信号発生回路にあっては、形成されるべき信号の周期あたりのデータ数に応じて求められた、形成されるべき信号の周期内における全データ読出時間間隔をあらわす時間間隔データを格納した第2のメモリ手段が設けられており、第1のメモリ手段からの信号データの読出タイミングを定めることになる読出タイミング信号を発生するタイミング信号発生手段が、第2のメモリ手段から読み出される各時間間隔データに応じたカウント動作を行い、そのカウント動作毎に読出タイミング信号を発生する。それにより、第1のメモリ手段からの信号データの読出タイミングの、時間間隔データがあらわすデータ読出時間間隔に基づく読出タイミングに対する“ずれ”の増大は生じないことになり、第1のメモリ手段から読み出された信号データにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制される。

【0018】さらに、本願の特許請求の範囲における請求項5から請求項7までのいずれかに記載された発明に係る信号発生回路にあっては、形成されるべき信号の各周期内においてレベル増減が等しくなるようになす時間軸分割がなされて定められる信号タイミング間の時間間隔をあらわす時間間隔データを格納したメモリ手段が設けられており、タイミング信号発生手段が、メモリ手段からの時間間隔データの読出タイミング及び信号データ形成手段から信号データが得られるタイミングを夫々定めることになる第1のタイミング信号及び第2のタイミング信号を、メモリ手段から読み出される各時間間隔データに応じたものとして発生する。それにより、信号データ形成手段から信号データが得られるタイミングの、時間間隔データがあらわす時間間隔を有した信号タイミングに対する“ずれ”の増大は生じないことになり、信号データ形成手段から得られる信号データにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制される。

【0019】

【発明の実施の形態】図1は、本願の特許請求の範囲に

おける請求項 1 または請求項 2 に記載された発明に係る信号発生回路の一例を示す。

【0020】図 1 に示される例にあっては、メモリ部 11 が備えられており、メモリ部 11 は、形成されるべき信号の波形に関する信号データ DS を格納している。形成されるべき信号は、所定の周波数 f_s を有するものとされ、周波数 f_s は、例えば、31 kHz とされ、従って、周期 T_s は $1/f_s = 32.258 \mu\text{s}$ となる。メモリ部 11 に格納された信号データ DS は、形成されるべき信号の周期 T_s を区分としたものとされており、形成されるべき信号の周期 T_s あたり所定の数、例えば、33 個とされる。

【0021】また、図 1 に示される例にあっては、マイクロコンピュータ 12 が設けられており、マイクロコンピュータ 12 は、メモリ部 11 から、それに格納された信号データ DS を、形成されるべき信号の周期 T_s を区分として読み出すための、データ読出時間間隔を算出し、算出されたデータ読出時間間隔をあらわす時間間隔データ DRI を発生する。データ読出時間間隔は、それに基づくメモリ部 11 からの信号データ DS の読出しが、図 2 に示される如くに、形成されるべき信号 SO の各周期 T_s 内に、周期 T_s に対応する所定の数の信号データ DS のすべてが等時間間隔 TI をもって読み出されて行われることになるものとされる。

【0022】従って、形成されるべき信号の周期 T_s が $1/f_s = 32.258 \mu\text{s}$ であって、周期 T_s に対応する信号データ DS の所定の数が、33 個とされるときには、データ読出時間間隔は、 $T_s/32 = 32.258/32 \mu\text{s}$ として算出され、時間間隔データ DRI は、 $T_s/32 = 32.258/32 \mu\text{s}$ のデータ読出時間間隔をあらわすものとされる。マイクロコンピュータ 12 から得られる時間間隔データ DRI は、メモリ制御部 13 に供給され、メモリ制御部 13 におけるラッチ部 14 によって保持される。

【0023】メモリ制御部 13 には、読出タイミング信号発生部 15 が設けられており、読出タイミング信号発生部 15 には、読出トリガパルス信号 PTR が供給される。読出タイミング信号発生部 15 は、読出トリガパルス信号 PTR が供給される毎に、その読出トリガパルス信号 PTR に応じて、形成されるべき信号の各周期 T_s におけるメモリ部 11 からの信号データ DS の読出しのための読出タイミング信号 SRT の形成を開始し、33 個の信号データ DS を読み出すべく、33 個の読出タイミング信号 SRT を形成する。

【0024】読出タイミング信号発生部 15 による読出タイミング信号 SRT の形成は、ラッチ部 14 からそれにより保持された時間間隔データ DRI が読出タイミング信号発生部 15 に供給されるもとで行われ、読出タイミング信号発生部 15 は、時間間隔データ DRI に基づき、読出タイミング信号 SRT を、時間間隔データ DR

I があらわすデータ読出時間間隔に応じた周期を有するものとして形成する。

【0025】斯かる際、読出タイミング信号発生部 15 を含むメモリ制御部 13 は、デジタル回路であって、例えば、25 MHz とされる所定の周波数を有した、形成されるべき信号とは非同期の関係にあるクロックパルス信号 CLK に応じて動作する。上述の如くに、時間間隔データ DRI があらわすデータ読出時間間隔は $T_s/32 = 32.258/32 \mu\text{s}$ であり、クロックパルス信号 CLK は、周波数が 25 MHz であるので、その周期は $1/25 \text{ MHz} = 40 \text{ ns}$ となり、従って、時間間隔データ DRI があらわすデータ読出時間間隔は、クロックパルス信号 CLK についての $(32.258 \times 10^3 / 32 \times 40) = 25.201$ 周期に相当する。

【0026】このように時間間隔データ DRI があらわすデータ読出時間間隔は、クロックパルス信号 CLK についての端数を含む周期分に相当するので、読出タイミング信号発生部 15 において形成される読出タイミング信号 SRT は、その周期を、時間間隔データ DRI があらわすデータ読出時間間隔 $T_s/32 = 32.258/32 \mu\text{s}$ と同一にすることはできず、基本的には、例えば、クロックパルス信号 CLK についての 25 周期 = $40 \text{ ns} \times 25 = 1 \mu\text{s}$ とするものとされる。従って、読出タイミング信号 SRT の基本的周期は、時間間隔データ DRI があらわすデータ読出時間間隔に対して、クロックパルス信号 CLK についての $25.201 - 25 = 0.201$ 周期 = 8.04 ns の“ずれ”を有することになる。

【0027】これよりして、読出タイミング信号発生部 15 は、読出トリガパルス信号 PTR に応じて、基本的周期をクロックパルス信号 CLK についての 25 周期 = $40 \text{ ns} \times 25 = 1 \mu\text{s}$ とする読出タイミング信号 SRT の形成を開始し、33 個の読出タイミング信号 SRT を形成することになる。このとき読出タイミング信号発生部 15 は、読出タイミング信号 SRT を形成する度に、その基本的周期の時間間隔データ DRI があらわすデータ読出時間間隔に対する“ずれ”、即ち、クロックパルス信号 CLK についての 0.201 周期 = 8.04 ns を累計していき、累計結果がクロックパルス信号 CLK について 1 周期を超えると、読出タイミング信号 SRT の周期を、クロックパルス信号 CLK について 1 周期分だけ長くし、例えば、それまでクロックパルス信号 CLK についての 25 周期 = $40 \text{ ns} \times 25 = 1 \mu\text{s}$ であった周期をクロックパルス信号 CLK についての 26 周期 = $40 \text{ ns} \times 26 = 1.04 \mu\text{s}$ に変化させる。

【0028】それにより、各読出タイミング信号 SRT が得られる時点の、時間間隔データ DRI があらわすデータ読出時間間隔の累計により設定される時点に対する“ずれ”が、クロックパルス信号 CLK についての 1 周期 = 40 ns 以内に抑えられる。

【0029】このようにして、読出タイミング信号発生部 15 から得られる読出タイミング信号 SRT は、読出アドレス信号形成部 16 に供給される。読出アドレス信号形成部 16 は、読出タイミング信号発生部 15 からの読出タイミング信号 SRT が供給される毎に、順次進んでいくアドレスをあらわす読出アドレス信号 SAD を形成する。さらに、読出アドレス信号形成部 16 は、形成した読出アドレス信号 SAD をメモリ部 11 に供給し、それにより、メモリ部 11 における読出アドレス信号 SAD があらわすアドレスから信号データ DS を読み出す。

【0030】従って、読出アドレス信号形成部 16 は、メモリ部 11 から信号データ DS を読み出すデータ読出手段を形成していることになる。そして、メモリ部 11 からは、それに格納された信号データ DS が、読出タイミング信号発生部 15 から読出タイミング信号 SRT が順次得られる時点毎に読み出されることになる。

【0031】メモリ部 11 から読み出された信号データ DS は、一旦ラッチ部 17 により保持された後、D/A 変換部 18 に供給される。D/A 変換部 18 は、ラッチ部 17 からの信号データ DS に D/A 変換を施し、それにより、形成されるべき信号 SO を形成する。従って、D/A 変換部 18 から、形成されるべき信号 SO が各周期分ずつ得られる。

【0032】図 3 は、図 1 に示される読出タイミング信号発生部 15 の具体構成例を示す。この図 3 に示される具体構成例にあつては、時間間隔データ DRI に基づいて、時間間隔データ DRI があらわすデータ読出時間間隔、即ち、クロックパルス信号 CLK についての 25、201 周期のうちの整数部分 (25) と小数点以下部分 (0.201) とを夫々 I 及び S として、値 $32 - I = 32 - 25 = 7$ をあらわすデータ p と、値 $S = 0.201$ をあらわすデータ q とが設定される。

【0033】データ p は、直接に、及び、値 1 を減じる減算部 22 により、値 $7 - 1 = 6$ をあらわすデータ (p-1) とされて、データ選択部 21 に供給される。データ選択部 21 は、先ず、データ p を選択する状態におかれ、データ p がデータ選択部 21 を通じてカウンタ 23 に供給される。

【0034】カウンタ 23 は、データ p が供給される毎に、クロックパルス信号 CLK を $32 - (データ p \text{ があらわす値}) = 32 - 7 = 25$ だけカウントし、そのカウントが終了する度に、カウント出力信号を読出タイミング信号 SRT として送出する。

【0035】また、図 3 に示される具体構成例にあつては、データ q がデータ加算部 24 に供給され、データ加算部 24 においては、データ q が供給される毎に、データ q があらわす値 $S = 0.201$ が累計されていき、データ加算部 24 からデータ q があらわす値 $S = 0.201$ の累計結果をあらわす累計データ DSM が得られる。

この累計データ DSM はラッチ部 25 に供給され、ラッチ部 25 においては、カウンタ 23 から送出される読出タイミング信号 SRT が供給される毎に、累計データ DSM の保持が行われ、保持された累計データ DSM がデータ加算部 24 に供給される。

【0036】そして、データ加算部 24 において得られる累計データ DSM があらわす累計結果が、値 1 を越えると、データ加算部 24 から、それまで "0" をあらわしていた制御データ DD が "1" をあらわすものとされて送出され、データ選択部 21 に供給される。制御データ DD が "1" をあらわすものとされると、累計データ DSM があらわす累計結果が、1 を減じられたものとされる。

【0037】データ選択部 21 は、"1" をあらわす制御データ DD に応じて、データ p を選択する状態からデータ (p-1) を選択する状態に切り換えられる。それにより、データ (p-1) がデータ選択部 21 を通じてカウンタ 23 に供給される。

【0038】データ (p-1) が供給されたカウンタ 23 は、クロックパルス信号 CLK を $32 - (データ (p-1) \text{ があらわす値}) = 32 - 6 = 26$ だけカウントする。従って、カウンタ 23 におけるデータ (p-1) に応じたクロックパルス信号 CLK のカウントは、データ p に応じたクロックパルス信号 CLK のカウントである 25 より 1 だけ増加されて 26 とされることになる。そして、カウンタ 23 は、クロックパルス信号 CLK についての 26 のカウントが終了すると、カウント出力信号を読出タイミング信号 SRT として送出する。それにより、読出タイミング信号 SRT の周期が、クロックパルス信号 CLK についての 1 周期分だけ長くされることになる。

【0039】図 4 は、本願の特許請求の範囲における請求項 3 または請求項 4 に記載された発明に係る信号発生回路の一例を示す。

【0040】図 4 に示される例にあつても、図 1 に示される例に備えられているものと同様な、メモリ部 11、ラッチ部 17 及び D/A 変換部 18 が備えられており、それらについての重複説明は省略される。

【0041】そして、図 4 に示される例においては、メモリ部 11 とは別のメモリ部 31 が設けられており、メモリ部 31 には、メモリ部 11 から、それに格納された信号データ DS を、形成されるべき信号の周期 Ts を区分として読み出すための、全データ読出時間間隔を夫々あらわす複数の時間間隔データ DRI M が格納されている。

【0042】メモリ部 31 に格納された複数の時間間隔データ DRI M は、順次読み出されてメモリ制御部 32 に供給され、メモリ制御部 32 において時間間隔データ DRI M に応じた読出タイミング信号 SRT' が形成されるが、このメモリ制御部 32 も、デジタル回路とさ

れていて、周波数を、例えば、25MHzとするクロックパルス信号CLKに応じて動作する。

【0043】それゆえ、形成されるべき信号の周期 T_s が $1/f_s = 32 \cdot 258 \mu\text{s}$ であって、周期 T_s に対応する信号データDSの所定の数が、33個とされるものにおいて、データ読出時間間隔は周期 T_s あたり32個が設定され、これらの32個のデータ読出時間間隔は、図1に示される例における読出タイミング信号発生部15から送出される読出タイミング信号SRTの各周期に対応するものとされて、クロックパルス信号CLKについての25周期=1 μs に相当するものとクロックパルス信号CLKについての26周期=1.04 μs に相当するものとが含まれる。

【0044】これよりして、メモリ部31には、クロックパルス信号CLKについての25周期=1 μs に相当するものとクロックパルス信号CLKについての26周期=1.04 μs に相当するものを含む32個のデータ読出時間間隔を夫々あらわす32個の時間間隔データDRIMが、予め設定された順序をもって読み出されるべく格納されていることになる。

【0045】このようなもとで、メモリ制御部32において、アドレスカウンタ33に読出トリガパルス信号RTRが供給されると、アドレスカウンタ33がメモリ部31における初期アドレスをあらわすアドレスデータDADを発生して、それをメモリ部31に供給する。それにより、メモリ部31から第1番目の時間間隔データDRIMが読み出されて、メモリ制御部32におけるカウンタ34に供給される。カウンタ34は、第1番目の時間間隔データDRIMがあらわすデータ読出時間間隔に応じたクロックパルス信号CLKのカウンタを行い、そのカウンタが終了すると読出タイミング信号SRT'を送出する。

【0046】カウンタ34から得られる読出タイミング信号SRT'は、読出アドレス信号形成部35に供給される。読出アドレス信号形成部35は、カウンタ34からの読出タイミング信号SRT'に応じたアドレスをあらわす読出アドレス信号SADを形成するとともに、形成した読出アドレス信号SADをメモリ部11に供給し、それにより、メモリ部11における読出アドレス信号SADがあらわすアドレスから信号データDSを読み出す。

【0047】また、それとともに、カウンタ34から得られる読出タイミング信号SRT'がアドレスカウンタ33に供給され、それにより、アドレスカウンタ33が、メモリ部31における初期アドレスの次のアドレスをあらわすアドレスデータDADを発生して、それをメモリ部31に供給する。それにより、メモリ部31から第2番目の時間間隔データDRIMが読み出されて、カウンタ34に供給される。カウンタ34は、第2番目の時間間隔データDRIMがあらわすデータ読出時間間隔

に応じたクロックパルス信号CLKのカウンタを行い、そのカウンタが終了すると読出タイミング信号SRT'を送出する。

【0048】それにより、カウンタ34から得られる読出タイミング信号SRT'が、読出アドレス信号形成部35に供給され、読出アドレス信号形成部35から、読出タイミング信号SRT'に応じたアドレスをあらわす読出アドレス信号SADがメモリ部11に供給されて、メモリ部11における読出アドレス信号SADがあらわすアドレスから信号データDSが読み出される。それとともに、カウンタ34から得られる読出タイミング信号SRT'がアドレスカウンタ33に供給され、それにより、アドレスカウンタ33が、メモリ部31におけるさらに次のアドレスをあらわすアドレスデータDADを発生して、それをメモリ部31に供給する。それにより、メモリ部31から第3番目の時間間隔データDRIMが読み出されて、カウンタ34に供給され、以下、同様の動作が、メモリ部31から第32番目の時間間隔データDRIMが読み出されて、カウンタ34に供給されるまで繰り返される。

【0049】その結果、メモリ部11から、それに格納された信号データDSが、メモリ部31に格納された32個の時間間隔データDRIMが夫々あらわす32個のデータ読出時間間隔をもって順次読み出され、それらがラッチ部17を介してD/A変換部18に供給される。それにより、D/A変換部18において、信号データDSにD/A変換が施され、形成されるべき信号SOが得られる。

【0050】このようなもとで、カウンタ34及びアドレスカウンタ33は、タイミング信号発生手段を形成していることになり、読出アドレス信号形成部35は、メモリ部11から信号データDSを読み出すデータ読出手段を形成していることになる。

【0051】図5は、本願の特許請求の範囲における請求項5から請求項7までのいずれかに記載された発明に係る信号発生回路の一例を示す。

【0052】図5に示される例においては、メモリ部41が設けられており、メモリ部41には、形成されるべき信号の各周期内が時間軸分割されて定められる信号タイミング間の全時間間隔を夫々あらわす複数の時間間隔データDTIが格納されている。

【0053】メモリ部41に格納された複数の時間間隔データDTIが夫々あらわす複数の時間間隔は、図6に示される如くに、形成されるべき信号SOの各周期 T_s 内において、一定レベル値をもって順次増減する信号データDSが配されるようになす時間軸分割、即ち、レベル増減が等しくなるようになす時間軸分割がなされて定められる、複数の信号タイミング t_n のうちの相互隣接するものの間の時間間隔とされる。

【0054】また、図5に示される例にあつては、読出

タイミング信号発生部 4 2、読出アドレス信号形成部 4 3 及び加減算部 4 4 を含んで成るメモリ制御部 4 5 が設けられている。そして、読出タイミング信号発生部 4 2 には、読出トリガパルス信号 P T R が供給され、読出タイミング信号発生部 4 2 は、読出トリガパルス信号 P T R が供給される度に、第 1 のタイミング信号 S T A を形成して、それを読出アドレス信号形成部 4 3 に供給するとともに、第 2 のタイミング信号 S T B を形成して、それを加減算部 4 4 に供給する。

【0055】読出アドレス信号形成部 4 3 は、読出トリガパルス信号 P T R が読出タイミング信号発生部 4 2 に供給された後の最初の第 1 のタイミング信号 S T A に応じて、メモリ部 4 1 の初期アドレスをあらわす読出アドレス信号 S A D を形成して、それをメモリ部 4 1 に供給する。それにより、メモリ部 4 1 から第 1 番目の時間間隔データ D T I が読み出されて、読出タイミング信号発生部 4 2 に供給される。

【0056】また、加減算部 4 4 は、読出トリガパルス信号 P T R が読出タイミング信号発生部 4 2 に供給された後の最初の第 2 のタイミング信号 S T B に応じて、初期レベル値をあらわす信号データ D S を発生して、それをラッチ部 4 6 に供給する。ラッチ部 4 6 においては、加減算部 4 4 からの信号データ D S が一時的に保持される。

【0057】メモリ部 4 1 から読み出された第 1 番目の時間間隔データ D T I が供給された読出タイミング信号発生部 4 2 は、第 1 番目の時間間隔データ D T I があらわす時間間隔に応じたタイミングをもって、次の第 1 のタイミング信号 S T A を形成して、それを読出アドレス信号形成部 4 3 に供給するとともに、次の第 2 のタイミング信号 S T B を形成して、それを加減算部 4 4 に供給する。

【0058】読出タイミング信号発生部 4 2 からの次の第 1 のタイミング信号 S T A が供給された読出アドレス信号形成部 4 3 は、その第 1 のタイミング信号 S T A に応じて、メモリ部 4 1 の初期アドレスに続く次のアドレスをあらわす読出アドレス信号 S A D を形成して、それをメモリ部 4 1 に供給する。それにより、メモリ部 4 1 から第 2 番目の時間間隔データ D T I が読み出されて、読出タイミング信号発生部 4 2 に供給される。

【0059】また、読出タイミング信号発生部 4 2 からの次の第 2 のタイミング信号 S T B が供給された加減算部 4 4 は、その第 2 のタイミング信号 S T B に応じて、初期レベル値に一定レベル値を加算もしくは減算して得られるレベルをあらわす信号データ D S を発生して、それをラッチ部 4 6 に供給する。ラッチ部 4 6 においては、加減算部 4 4 からの信号データ D S が一時的に保持される。

【0060】メモリ部 4 1 から読み出された第 2 番目の時間間隔データ D T I が供給された読出タイミング信号

発生部 4 2 は、第 2 番目の時間間隔データ D T I があらわす時間間隔に応じたタイミングをもって、さらに次の第 1 のタイミング信号 S T A を形成して、それを読出アドレス信号形成部 4 3 に供給するとともに、さらに次の第 2 のタイミング信号 S T B を形成して、それを加減算部 4 4 に供給する。

【0061】このような読出タイミング信号発生部 4 2 の、メモリ部 4 1 から読み出された時間間隔データ D T I に応じた動作は、メモリ部 4 1 から最後の時間間隔データ D T I が読み出され、その最後の時間間隔データ D T I に応じた動作を終了するまで繰り返し行われる。そして、それに伴い、読出アドレス信号形成部 4 3 の、読出タイミング信号発生部 4 2 からの第 1 のタイミング信号 S T A に応じた動作、及び、加減算部 4 4 の、読出タイミング信号発生部 4 2 からの第 2 のタイミング信号 S T B に応じた動作も、読出タイミング信号発生部 4 2 の繰返動作が終了するまで、繰返して行われる。

【0062】そして、このようなメモリ制御部 4 5 を構成する読出タイミング信号発生部 4 2、読出アドレス信号形成部 4 3 及び加減算部 4 4 の動作は、読出タイミング信号発生部 4 2 に読出トリガパルス信号 P T R が供給される度に繰返される。その結果、読出タイミング信号発生部 4 2 に供給される各読出トリガパルス信号 P T R に対応する読出タイミング信号発生部 4 2、読出アドレス信号形成部 4 3 及び加減算部 4 4 の動作の開始から終了までの間に、加減算部 4 4 において、形成されるべき信号 S O の 1 周期分についての一定レベル値をもって順次増減する信号データ D S が形成され、それらがラッチ部 4 6 に供給されることになる。

【0063】ラッチ部 4 6 において一時的に保持された信号データ D S は、D/A 変換部 4 7 に供給される。それにより、D/A 変換部 4 7 において、信号データ D S に D/A 変換が施され、形成されるべき信号 S O が得られる。

【0064】このようなもとで、読出アドレス信号形成部 4 3 は、メモリ部 4 1 から時間間隔データ D T I を読み出すデータ読出手段を形成しており、また、加減算部 4 4 は、加算もしくは減算を行って信号データ D S を得る信号データ形成手段を形成していることになる。

【0065】

【発明の効果】以上の説明から明らかな如く、本願の特許請求の範囲における請求項 1 または請求項 2 に記載された発明に係る信号発生回路にあっては、メモリ手段からの信号データの読出タイミングを定めることになる読出タイミング信号を発生するタイミング信号発生手段が、形成されるべき信号と非同期的な関係にあるクロックパルス信号に応じて動作するもとにおいて、データ保持手段から得られる時間間隔データに応じて発生する読出タイミング信号の周期の、時間間隔データがあらわすデータ読出時間間隔との差についての累計を行って、累計

15

の結果がクロックパルス信号の1周期を超えると、読出タイミング信号の周期をクロックパルス信号の1周期分だけ長くするので、メモリ手段からの信号データの読出タイミングの、時間間隔データがあらわすデータ読出時間間隔に基づく読出タイミングに対する“ずれ”の増大が抑制され、それにより、メモリ手段から読み出された信号データにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制される。

【0066】また、本願の特許請求の範囲における請求項3または請求項4に記載された発明に係る信号発生回路にあっては、形成されるべき信号の周期あたりのデータ数に応じて求められた、形成されるべき信号の周期内における全データ読出時間間隔をあらわす時間間隔データを格納した第2のメモリ手段が設けられており、第1のメモリ手段からの信号データの読出タイミングを定めることになる読出タイミング信号を発生するタイミング信号発生手段が、第2のメモリ手段から読み出される各時間間隔データに応じたカウント動作を行い、そのカウント動作毎に読出タイミング信号を発生するので、第1のメモリ手段からの信号データの読出タイミングの、時間間隔データがあらわすデータ読出時間間隔に基づく読出タイミングに対する“ずれ”の増大は生じないことになり、従って、第1のメモリ手段から読み出された信号データにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制される。

【0067】さらに、本願の特許請求の範囲における請求項5から請求項7までのいずれかに記載された発明に係る信号発生回路にあっては、形成されるべき信号の各周期内においてレベル増減が等しくなるようになす時間軸分割がなされて定められる信号タイミング間の時間間隔をあらわす時間間隔データを格納したメモリ手段が設けられており、タイミング信号発生手段が、メモリ手段からの時間間隔データの読出タイミング及び信号データ形成手段から信号データが得られるタイミングを夫々定

16

めることになる第1のタイミング信号及び第2のタイミング信号を、メモリ手段から読み出される各時間間隔データに応じたものとして発生するので、信号データ形成手段から信号データが得られるタイミングの、時間間隔データがあらわす時間間隔を有した信号タイミングに対する“ずれ”の増大は生じないことになり、従って、信号データ形成手段から得られる信号データにD/A変換が施されて得られる、形成されるべき信号の波形歪みが、効果的に抑制される。

【図面の簡単な説明】

【図1】本願の特許請求の範囲における請求項1または請求項2に記載された発明に係る信号発生回路の一例を示すブロック接続図である。

【図2】図1に示される例における時間間隔データの説明に供されるタイムチャートである。

【図3】図1に示される例における読出タイミング信号発生部の具体構成例を示す回路接続図である。

【図4】本願の特許請求の範囲における請求項3または請求項4に記載された発明に係る信号発生回路の一例を示すブロック接続図である。

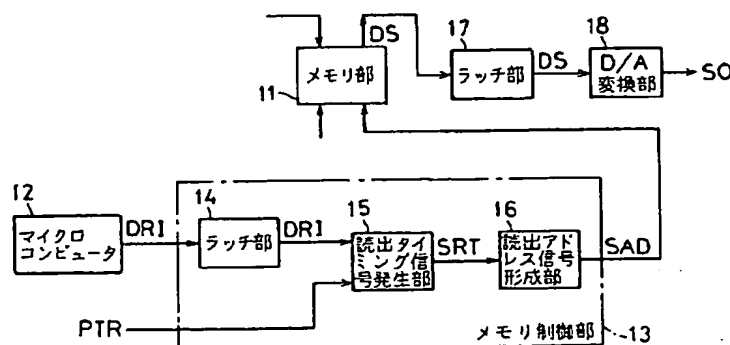
【図5】本願の特許請求の範囲における請求項5から請求項7までのいずれかに記載された発明に係る信号発生回路の一例を示すブロック接続図である。

【図6】図5に示される例における時間間隔データの説明に供されるタイムチャートである。

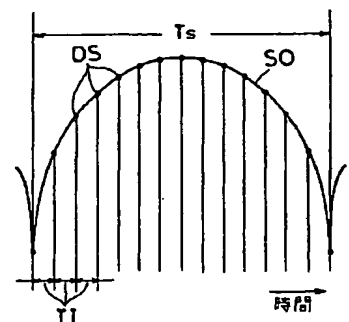
【符号の説明】

| | | | |
|----------------|------------|--------|------------|
| 11, 31, 41 | メモリ部 | 12 | マイクロコンピュータ |
| 13, 32, 45 | メモリ制御部 | | |
| 14, 17, 25, 46 | ラッチ部 | 15, 42 | |
| 読出タイミング信号発生部 | 16, 35, 43 | 読 | |
| 出アドレス信号形成部 | 18, 47 | D/A変換部 | |
| 21 | データ選択部 | 22 | 減算部 |
| 3, 34 | カウンタ | 24 | データ加算部 |
| 3 | アドレスカウンタ | 44 | 加減算部 |

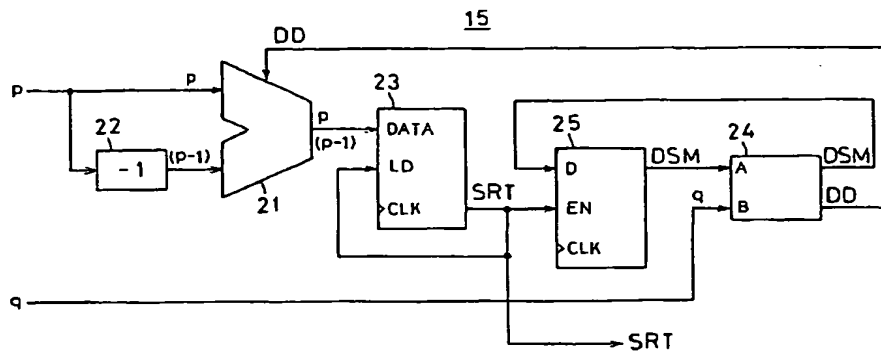
【図1】



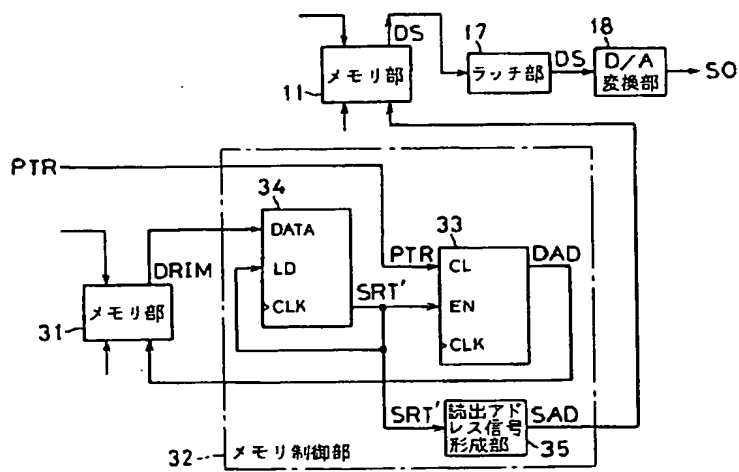
【図2】



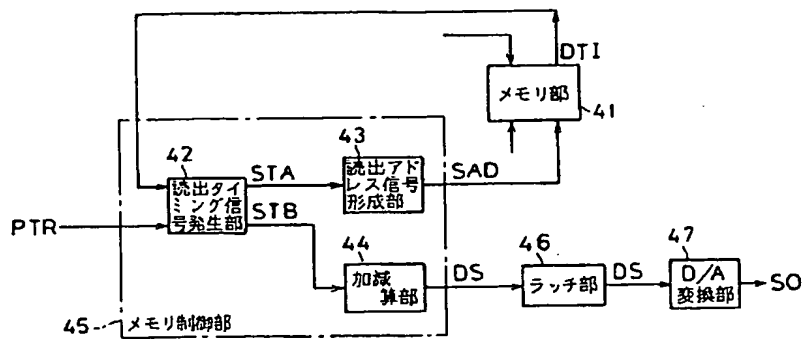
【図 3】



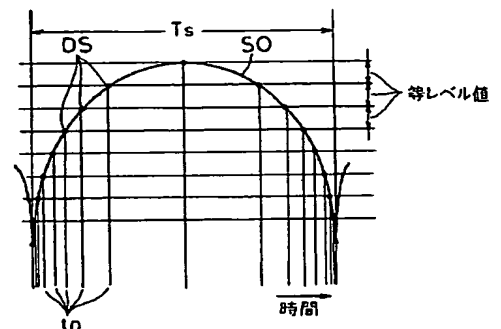
【図 4】



【図 5】



【図 6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.